

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-180018

(43)Date of publication of application : 21.10.1983

(51)Int.CI.

H01L 21/20
H01L 21/22

(21)Application number : 57-062900

(71)Applicant : SANYO ELECTRIC CO LTD
TOKYO SANYO ELECTRIC CO LTD

(22)Date of filing : 14.04.1982

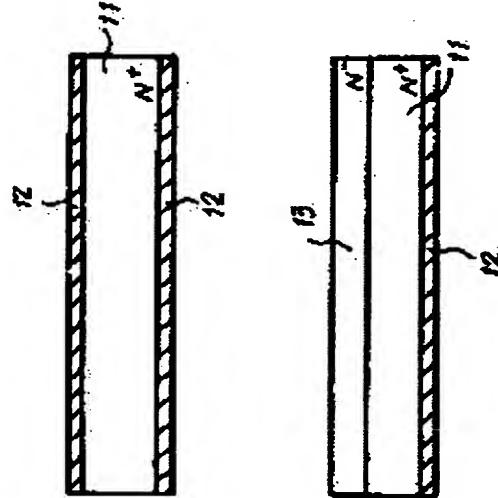
(72)Inventor : YAJIMA KUNIO

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To minimize the warpage of a substrate, and to maintain the accuracy of mask alignment in a photoetching process, etc. while improving mass-producing capability by forming a diffusion region using phosphorus as an impurity.

CONSTITUTION: The N+ type silicon semiconductor substrate 11 of high impurity concentration of $5 \times 10^{18}/\text{cm}^3$, which uses antimony as an impurity, is prepared. The thickness of the substrate 11 shall be approximately 390μm, and the N+ type diffusion regions 12 are formed onto both surfaces so that thickness is made to reach approximately 50μm and surface impurity concentration $5 \times 10^{19}/\text{cm}^3$ or more. Phosphorus is used as the impurity. The diffusion region 12 may be formed only onto one surface of the substrate 11. One surface of the substrate 11 is etched and one of the diffusion regions 12 is removed, and an etching surface is specular-processed. An N- type epitaxial layer 13 to which phosphorus is doped is grown onto a specular-processed surface. The substrate 11 is inclined to be warped to the side to which phosphorus is doped when it is doped, and warpage can be restricted to a minimum by offsetting the property and warpage to the epitaxial layer 13 side.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

⑯ 日本国特許庁 (JP)

① 特許出願公開

⑰ 公開特許公報 (A)

昭58-180018

⑤ Int. Cl.³
H 01 L 21/20
21/22

識別記号

厅内整理番号
7739-5F
7738-5F

③ 公開 昭和58年(1983)10月21日
発明の数 1
審査請求 未請求

(全 2 頁)

④ 半導体基板の製造方法

② 特 願 昭57-62900

② 出 願 昭57(1982)4月14日

② 発明者 矢嶋邦夫

群馬県邑楽郡大泉町大字坂田18
0番地東京三洋電機株式会社内

⑦ 出願人 三洋電機株式会社

守口市京阪本通2丁目18番地

⑦ 出願人 東京三洋電機株式会社
群馬県邑楽郡大泉町大字坂田18
0番地

⑧ 代理人 弁理士 佐野静夫

明細書

1. 発明の名称 半導体基板の製造方法

2. 特許請求の範囲

1. 一導電型で高不純物濃度を有する半導体基板の少くとも片面に更に高不純物濃度になる様に一導電型の不純物を拡散し、然る後前記基板の反対正面を鏡面化し該鏡面上に一導電型のエピタキシャル層を形成することを特徴とする半導体基板の製造方法。

3. 発明の詳細な説明

本発明は半導体基板の製造方法、特にエピタキシャル層を有する半導体基板の製造方法に関する。

従来の方法を第1図に示す。先ず第1図Aの如く、アンチモン(Sb)を不純物として用いた $5 \times 10^{17}/cm^3$ 程度の高不純物濃度のN⁺型のシリコン半導体基板①を準備する。基板①はそりの発生を防止するために約390μmの厚みにする。次に第1図Bに示す如く、基板①の一面上にリンを不純物とするN⁻型のエピタキシャル層②を生長させる。この際に基板①がエピタキシャル層②側に若干そる。

更に第1図Cに示す如く、コレクタ直列抵抗を下げるために基板①をバックエッチにより薄くすると、このそりは助長されて更にそりを大きくする。

この結果基板①に生ずるそりは、フォトエッティング工程等においてマスク合せが困難となり、最悪の場合基板①の割れを発生する。

本発明は斯点に鑑みてなされ、従来の欠点を大巾に改善する半導体基板の製造方法を提供するものである。以下に第2図を参照して本発明の一実施例を詳述する。

先ずアンチモン(Sb)を不純物として用いた $5 \times 10^{17}/cm^3$ の高不純物濃度のN⁺型のシリコン半導体基板①を用意する。基板①の厚みは約390μmのものを用いる。続いて第2図Aに示す如く基板①の両面に約50μmの厚さ以上に表面不純物濃度が $5 \times 10^{17}/cm^3$ 以上になる様にN⁺型の拡散領域②を形成する。不純物としてはリンを用いる。なお本工程で基板①の片面のみに拡散領域②を形成しても良い。

次に基板①の片面をエッティングして拡散領域②

の一方を除去し、エッティング面を鏡面加工する。統いて第2図Bに示す如く鏡面加工面上にリンをドープしたN⁻型エピタキシャル層13を生長させる。

以上した如く本発明はリンを不純物とする拡散領域12を形成することに最大の特徴を有している。すなわちリンをドープした場合その側に基板凹がある性質があり、この性質と前述したエピタキシャル層13側へのそりとを相殺することによってそりを最少限に押えることにある。具体的には従来方法では直径76μmのウェハーで約70μmのエピタキシャル層を生長した場合に0.15~0.2μmのそりが発生していたのが、本発明では拡散領域12を約100μm形成すると0.05~0.1μm程度のそりに低減できた。

以上に詳述した如く本発明ではN⁺拡散領域12により基板凹のそりを最少限にでき、且つパルク抵抗も大巾に低下できる利点を有する。この結果フォトエッティング工程等でのマスク合せ精度も維持でき、量産性を向上できる。

4. 図面の簡単な説明

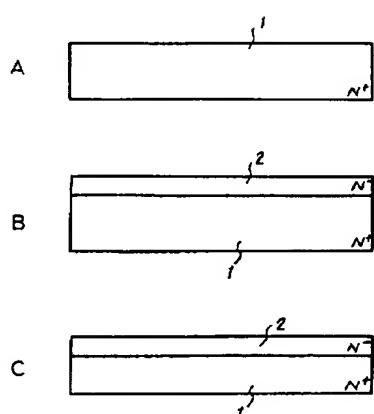
第1図A、B、Cは従来例を説明する断面図、第2図A、Bは本発明を説明する断面図である。

11はN⁺型の半導体基板、12はN⁺型の拡散領域、13はN⁻型のエピタキシャル層である。

出願人 三洋電機株式会社 外1名
代理人 弁理士 佐野静夫



第1図



第2図

